





2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## フラットディスプレイ装置及び携帯端末装置

## 発明の背景

5

## 技術分野

本発明は、フラットディスプレイ装置及び携帯端末装置に関し、例えば液晶表示装置、液晶表示装置を用いた P D A (Personal Digital Assistants) 、携帯電話等に適用することができる。本発明は、表示部の対向する辺の一方に沿って緑色用の階調設定回路を配置し、他方に沿って赤色用及び青色用の階調設定回路

10 を配置することにより、従来に比して消費電力を少なくし、狭額縫化し得る。

## 背景技術

近年、例えば P D A 、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板 15 であるガラス基板上に、液晶表示パネルの駆動回路を一体に構成するものが提供されるようになされている。

すなわち第 1 図は、この種の液晶表示装置を示す平面図である。この液晶表示装置 1 は、液晶セル、この液晶セルのスイッチング素子であるポリシリコン T F T (Thin Film Transistor ; 薄膜トランジスタ) 、補助容量とにより各画素が形成され、この画素をマトリックス状に配置して矩形形状による表示部 2 が形成される。液晶表示装置 1 は、この表示部 2 の対向する上下の辺に沿って、それぞれ水平駆動回路 3 、 4 が形成され、残る縦方向に延長する 2 辺のうちの 1 辺に沿って垂直駆動回路 5 が形成される。

ここで水平駆動回路 3 、 4 は、それぞれ表示部 2 の奇数列及び偶数列を構成する画素の階調を設定する。すなわちこの液晶表示装置 1 は、上端部に形成された入力部 6 を介してそれぞれ奇数列用及び偶数列用の階調データ D 1 、 D 2 がラスター走査順に入力され、水平駆動回路 3 、 4 は、サンプリングラッチ 3 A 、 4 A において、ライン方向の画素の配列に対応してなる複数のラッチによりこの画像データを順次循環的にラッチする。これにより水平駆動回路 3 、 4 は、それぞれラ

スタ走査順で入力される階調データD1、D2をライン単位で区切ってサンプリングラッチ3A、4Aに一時保持する。

第2ラッチ3B、4Bは、サンプリングラッチ3A、4Aを構成する各ラッチのラッチ結果を水平走査の周期で同時並列的にラッチし、これによりこのように  
5 してライン単位による階調データD1、D2をライン単位でまとめて続くレベルシフタ3C、4Cに出力する。

レベルシフタ3C、4Cは、続くディジタルアナログ変換回路(DAC:Digital to Analog Converter)3D、4Dを構成する導電型(Nチャネル/Pチャネル)のMOS(Metal Oxide Semiconductor)トランジスタを駆動し得るよう  
10 に、このようにして第2ラッチ3B、4Bにより同時並列的に出力される階調データD1、D2をレベルシフトさせて出力する。続くディジタルアナログ変換回路3D、4Dは、これらの階調データD1、D2に対応する駆動電圧をそれぞれ生成して出力する。水平駆動回路3、4は、このようにして形成される複数系統の駆動電圧が表示部2のコラム線(列線)に供給され、これにより各コラム線に  
15 おいては、それぞれ奇数列及び偶数列について、縦方向に連続する画素の階調データD1、D2に対応する駆動電圧に、順次循環的に設定されるようになされている。

垂直駆動回路5においては、このコラム線における駆動電圧の設定に対応して、表示部2のロー線(行線)を順次選択して対応する画素のTFTをオン状態に  
20 設定する。これにより液晶表示装置1においては、階調データD1、D2による所望の画像を表示し得るようになされている。

このようにして構成されてなる液晶表示装置においては、例えば特開2000-242209号公報に開示されているように、階調データD1、D2による各階調に対応する複数系統の基準電圧を階調データD1、D2に応じて選択することにより、駆動電圧を生成する方式(いわゆる基準電圧選択型である)によるデジタルアナログ変換回路3D、4Dが採用されるようになされている。この場合、第1図との対比により第2図に示すように、液晶表示装置1においては、この複数系統の基準電圧を生成する基準電圧発生回路7を、表示部2の残る一辺の、水平駆動回路3及び4から等距離の位置に配置し、水平駆動回路3及び4の双

方に、この基準電圧発生回路 7 から基準電圧を供給するようになされ、これにより奇数列と偶数列とにおける基準電圧のばらつきを防止し、このばらつきによる縦すじ等の発生を有効に回避するようになされている。

これに対して第 3 図は、この基準電圧選択型によるディジタルアナログ変換回

5 路 3 D、4 D を示す接続図である。ディジタルアナログ変換回路 3 D、4 D は、階調データ D 1、D 2 の各ビット b 0 ~ b 5 の論理値によりそれぞれオンオフ動作するスイッチ回路による直列回路 C 0 ~ C 6 3 が階調に対応して複数個設けられ、これらの直列回路 C 0 ~ C 6 3 の一端にそれぞれ各基準電圧 V 0 ~ V 6 3 が供給され、これら直列回路 C 0 ~ C 6 3 の他端がコラム線 OUT に接続される。

10 なおこの第 3 図は、階調データ D 1、D 2 が 6 ビットの場合であり、スイッチ回路は、導電型 (N チャネル / P チャネル) の MOS トランジスタにより形成され、階調データ D 1 の値に応じて対応する基準電圧を選択し得るように、N チャンネル及び P チャンネルが配置される。これによりディジタルアナログ変換回路 3 D、4 D は、階調データ D 1、D 2 に応じて基準電圧 V 0 ~ V 6 3 を選択して出

15 力するようになされている。なお第 4 図は、各トランジスタをスイッチにより置き換えて示す接続図である。

このようにして形成されるディジタルアナログ変換回路 3 D、4 D においては、基準電圧 V 0 ~ V 6 3 を選択する直列回路 C 0 ~ C 6 3 の他端が表示部 2 のコラム線 OUT に接続され、このコラム線 OUT にあっては、この水平駆動回路 3 20 、4 が配置されてなる辺と直交する方向に延長することにより、この直交する方向である垂直方向に並んでこれらの直列回路 C 0 ~ C 6 3 が配置されて 1 つの画素に対応する直列回路 C 0 ~ C 6 3 のブロック B が形成される (第 4 図)。またこのブロック B が、水平駆動回路 3、4 が配置されてなる表示部 2 の辺に沿って水平方向に連続するように配置される。またこれにより基準電圧 V 0 ~ V 6 3 においては、水平方向に延長する配線によりこの水平方向に連続するブロック B で共通に使用するように設定され、これにより液晶表示装置 1 においては、限られた基板上のスペースを効率良く利用するようになされている。

またそれぞれ奇数列及び偶数列においては、赤色用、青色用、緑色用の画素の繰り返しにより形成されていることにより、この水平方向に連続するブロック B

が順次循環的に赤色用、青色用、緑色用の画素の駆動に割り当てられ、画素の繰り返しピッチPの2倍のピッチによりブロックBが配置されるようになされている。

ところでこのように赤色用、青色用、緑色用の画素の繰り返しに対応して直列

5 回路のブロックBを順次配置し、基準電圧V0～V63をこれらブロックBに共通に供給する場合、基準電圧V0～V63による階調をNと置くと、 $N \times N \times N$ 色の表示が可能となる。この場合、基準電圧V0～V63に対応する階調データD1、D2においては、 $N = 2^n$ により表して2の $3 \times n$ 乗色の表示が可能になり、階調データD1、D2が6ビットの場合、約260000色の表現が可能に

10 なる。

これに対して携帯端末装置等においては、このような260000色もの高い色表現能力は求められず、一般に、緑色用の階調データD1、D2を6ビットに設定し、赤色用、青色用については階調データD1、D2を5ビットに設定して使用するようになされている。なおこの場合、 $64 \times 32 \times 32$  ( $\approx 65000$  15) 色の表示が可能となる。

これによりこの場合、第1図～第4図について上述した従来構成に係る液晶表示装置1においては、デジタルアナログ変換回路3D、4Dにおける赤色用、青色用のブロックBにおいて、無駄にトランジスタを設けていることになり、またその分、無駄に電力を消費していることになる。

20 このような無駄を省くことができれば、その分、表示部2の周辺構成に係る面積を小型化して、いわゆる狭額縁化を図ることができ、また消費電力を少なくすることができる。

### 発明の開示

25 本発明は以上の点を考慮してなされたもので、従来に比して消費電力を少なくし、狭額縁化し得るフラットディスプレイ装置、このフラットディスプレイ装置による携帯端末装置を提案しようとするものである。

かかる課題を解決するため本発明においては、マトリックス状に画素を配置してなる表示部と、表示部の画素を駆動する駆動回路とを基板上に一体に形成して

なるフラットディスプレイ装置に適用して、表示部の一边に沿って、駆動回路のうちの、表示部の緑色の画素の階調を設定する第1の階調設定回路を配置し、一边に対向する表示部の他辺に沿って、駆動回路のうちの、表示部の赤色及び青色の画素の階調を設定する第2の階調設定回路を配置する。

- 5 本発明の構成によれば、表示部の一边に沿って、駆動回路のうちの、表示部の緑色の画素の階調を設定する第1の階調設定回路を配置し、一边に対向する表示部の他辺に沿って、駆動回路のうちの、表示部の赤色及び青色の画素の階調を設定する第2の階調設定回路を配置することにより、緑色の画素に設定する階調数と、赤色及び青色の画素に設定する階調数とに応じて、それぞれ第1及び第2の
- 10 階調設定回路を構成することができ、これにより緑色に比して赤色及び青色の階調数を小さくする場合、第2の階調設定回路における無駄を省略することができ、その分、従来に比して消費電力を低減し、狭額縁化を図ることができる。

また本発明においては、マトリックス状に画素を配置してなる表示部と、表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置により所望の画像を表示する携帯端末装置に適用して、このフラットディスプレイ装置は、表示部の一边に沿って、駆動回路のうちの、表示部の緑色の画素の階調を設定する第1の階調設定回路を配置し、一边に対向する表示部の他辺に沿って、駆動回路のうちの、表示部の赤色及び青色の画素の階調を設定する第2の階調設定回路を配置してなるようとする。

- 15 これにより本発明の構成によれば、消費電力を低減し、狭額縁化を図ができる分、小型、低消費電力の携帯端末装置を提供することができる。

#### 図面の簡単な説明

第1図は、従来の液晶表示装置を示す平面図である。

- 20 第2図は、基準電圧発生回路の配置の説明に供する平面図である。

第3図は、第1図の液晶表示装置におけるディジタルアナログ変換回路を示す接続図である。

第4図は、第3図の各トランジスタをスイッチにより置き換えて示す接続図である。

第5図は、本発明の第1の実施例に係る液晶表示部による携帯端末装置を示すプロック図である。

第6図は、第5図の携帯端末装置における液晶表示部を示す平面図である。

第7図は、第6図の液晶表示部における水平駆動回路20Aのディジタルアナ

5 ログ変換回路20ADの説明に供する接続図である。

第8図は、第6図の液晶表示部における水平駆動回路20Bのディジタルアナログ変換回路20BDの説明に供する接続図である。

第9図は、本発明の第2の実施例に係る液晶表示部による携帯端末装置を示す平面図である。

10

### 発明を実施するための最良の形態

以下、適宜図面を参照しながら本発明の実施例を詳述する。

#### (1) 第1の実施例

##### (1-1) 第1の実施例の構成

15 第5図は、本発明の実施例に係る携帯端末装置に係る画像表示部を示すプロック図である。この携帯端末装置は、例えば携帯電話、PDA等であり、この画像表示部11により所望の画像を表示する。このためこの画像表示部11においては、画像処理回路12に内蔵の画像メモリに画像データDR、DG、DBを格納し、この画像データDR、DG、DBを順次液晶表示装置13に出力する。また20 この画像データDR、DG、DBの出力に同期して、マスタクロックMCK、垂直同期信号VSYNC、水平同期信号HSYNCを出力する。

この携帯端末装置は、内蔵の液晶表示装置13にこれら画像データDR、DG、DB、マスタクロックMCK、垂直同期信号VSYNC、水平同期信号HSYNCを入力し、この液晶表示装置13により画像を表示する。ここでこの液晶表

25 示装置13は、マトリックス状に画素を配置してなる表示部14と、この表示部14の画素を駆動する駆動回路15とをガラス基板上に一体に形成してなるフラットディスプレイ装置である。この実施例では、この表示部14の画素が、液晶セル、この液晶セルをスイッチングするポリシリコンTFT、補助容量とにより構成される。

これに対して駆動回路 15 は、インターフェース (I F) 16 を介してマスタークロック MCK、垂直同期信号 VSYNC、水平同期信号 HSYNC をタイミングジェネレータ (TG) 17 に入力し、ここで各種動作基準のタイミング信号を生成する。DC-DC コンバータ (DDC) 21 は、このタイミングジェネレータ 17 で生成される所定のタイミング信号により動作して、この液晶表示装置 13 に供給される電源 VDD から各部の動作に必要な電源 VDD2、VVSS2、HVSS2 等を生成する。

垂直駆動回路 18 は、同様に、タイミングジェネレータ 17 で生成される所定のタイミング信号により動作して、表示部 14 のラインを選択する選択信号を出力する。基準電圧発生回路 19 は、水平駆動回路 20 の処理に必要な基準電圧を生成し、水平駆動回路 20 は、画像データ DR、DG、DB による階調データにより表示部 14 の対応する画素の階調を設定する。

第 6 図は、この液晶表示装置 13 のこれら水平駆動回路 20、垂直駆動回路 18、表示部 14 の構成を詳細に示す平面図である。この液晶表示装置 13 においては、赤色、青色の階調を示す画像データ DR、DB が 5 ビットにより入力されるのに対し、緑色の階調を示す画像データ DG が 6 ビットにより入力される。これに対応して水平駆動回路 20 は、赤色用、青色用の水平駆動回路 20A、緑色用の水平駆動回路 20B とにより構成される。

ここで赤色用、青色用の水平駆動回路 20A は、表示部 14 の上側、水平方向に延長する辺に沿って配置されるのに対し、緑色用の水平駆動回路 20B は、この水平駆動回路 20A が配置されてなる辺と対向する表示部 14 の下側、水平方向に延長する辺に沿って配置される。

これらによりこの液晶表示装置 13 においては、5 ビットによる階調データ DR、DB により表示部 14 の階調を設定する階調設定回路である水平駆動回路 20A と、6 ビットによる階調データ DG により表示部 14 の階調を設定する階調設定回路である水平駆動回路 20B とをそれぞれ表示部 14 の上下に沿って配置して無駄な構成を省略するようになされ、その分、消費電力を少なくし、狭額縁化し得るようになされている。

すなわち赤色用、青色用の水平駆動回路 20A は、処理対象の画像データ DR

、DBである階調データが赤色用、青色用である点、全体が5ビットの階調データに対応するように構成されている点、赤色用、青色用の画素に対応する駆動信号を表示部14に対して出力するようにコラム線への接続が設定されている点を除いて、第1図について上述した水平駆動回路3と同一に構成される。またこれ  
5により基準電圧発生回路19においては、6ビットによる水平駆動回路20Bに出力する基準信号V0B～V63Bを間引いて、5ビットによる水平駆動回路20Aに基準信号V0A～V31Aを出力する。

具体的に、水平駆動回路20Aは、順次ラスタ走査の順序で入力される5ビットによる赤色、青色の画像データDR、DBを、サンプリングラッチ20AAを  
10構成する複数のラッチで順次循環的にラッチし、この複数のラッチ結果をライン単位で同時並列的に第2ラッチ20ABでラッチする。また続くレベルシフタ20ACにより各ビットの信号レベルをレベルシフトさせ、ディジタルアナログ変換回路(DAC)20ADによりアナログディジタル変換処理する。これにより水平駆動回路20Aは、ライン単位で、表示部14の赤色及び青色の画素の階調  
15を設定する駆動信号OUTを生成するようになされ、これにより表示部14の赤色及び青色の画素の階調を設定する第2の階調設定回路を構成するようになされている。

これにより水平駆動回路20Aにおいては、第1図において表示部2の上側に配置した水平駆動回路3に比して、サンプリングラッチ20AA、第2ラッチ20AB、レベルシフタ20AC、ディジタルアナログ変換回路(DAC)20ADで処理するビット数を少なくし得、その分、構成を簡略化して狭額縫化し、さらには消費電力を少なくすることができるようになされている。

すなわち第7図は、この水平駆動回路20Aのディジタルアナログ変換回路20ADの構成を示す接続図である。このディジタルアナログ変換回路20ADにおいては、Pチャンネル及びNチャンネルの導電型MOSトランジスタにより、階調データDR、DBの各ビットの論理値によりそれぞれオンオフ動作するスイッチ回路が構成され、このスイッチ回路の直列回路C0～C31がこの水平駆動回路20Aによる階調に対応して複数個（この場合32個）配置される。

直列回路C0～C31は、一端が対応する基準電圧V0A～V31Aに接続さ

れ、他端がコラム線に接続され、これにより水平駆動回路 20 Aにおいては、階調データに基づいて、各階調に対応する基準電圧を対応する直列回路により選択して画素の階調を設定するようになされている。直列回路 C0～C31 は、このコラム線の延長方向に順次配置されて、各画素に対応するブロック B が形成され  
5 、この実施例においては、6 ビットによる階調データを処理する場合、このブロック B を構成する直列回路の数が 64 個必要なものに対し、この実施例では 5 ビットにより 32 個で足り、これにより表示部 14 の上部について、大幅に狭額縫化し得るようになされている。

なおこのようにして赤色、青色の画像データ DR、DB の処理を水平駆動回路  
10 20 A に割り当てるようになると、水平駆動回路 20 A においては、奇数列又は偶数列を処理する場合に比して、水平方向の配列が密になる。すなわち奇数列又は偶数列により処理する場合は、第 4 図により示すように、液晶セルの水平方向の繰り返し周期の 2 倍の周期により、各ブロック B を配置することが必要になり  
、例えはこの繰り返し周期が 80 [μm] の場合、ブロック B を 160 [μm]  
15 以下の幅により作成することが必要になる。これに対して赤色、青色の画像データ DR、DB の処理を水平駆動回路 20 A に割り当てる場合、液晶セルの水平方向の繰り返し周期が 80 [μm] の場合、3 倍の 240 [μm] の幅に、2 つのブロック B を配置することが必要になる。しかしながらこの横方向の幅については、従来から十分に余裕があり、この実施例では、ビット数が少ない分、この横  
20 方向の構成も簡略化されていることにより、十分に各ブロック B を配置することができる。

これに対して緑色用の水平駆動回路 20 B は、6 ビットによる緑色の画像データ DG を順次処理して、緑色の画素に対応する駆動信号 OUT を生成するように構成される。すなわち水平駆動回路 20 B は、順次ラスタ走査の順序で入力される  
25 6 ビットによる緑色の画像データ DG を、サンプリングラッチ 20 BA を構成する複数のラッチで順次循環的にラッチし、この複数のラッチ結果をライン単位で同時並列的に第 2 ラッチ 20 BB でラッチする。また続くレベルシフタ 20 BC により各ビットの信号レベルをレベルシフトさせ、ディジタルアナログ変換回路 (D/A) 20 BD によりアナログディジタル変換処理する。これにより水平

駆動回路 20 B は、ライン単位で、表示部の緑色の画素の階調を設定する駆動信号 OUT を生成するようになされ、これにより表示部の緑色の画素の階調を設定する第 1 の水平駆動回路を構成するようになされている。

このようにして緑色用の階調データだけを処理する水平駆動回路 20 B におい

5 ては、奇数列又は偶数列を処理する場合に比して、駆動対象の画素数が少なくなることにより、水平方向の配列が粗になる。この実施例では、この粗となった水平方向の配列を狭額縫化に役立てる。

すなわち第 8 図は、この緑色用の水平駆動回路 20 B のデジタルアナログ変換回路 20 BD を示す接続図である。このデジタルアナログ変換回路 20 BD

10 においては、デジタルアナログ変換回路 20 AD と同様に、P チャンネル及び N チャンネルの導電型 MOS トランジスタにより、階調データ DG の各ビットの論理値によりそれぞれオンオフ動作するスイッチ回路が構成され、このスイッチ回路の直列回路 C0 ~ C63 がこの水平駆動回路 20 A による階調に対応して複数個（この場合 64 個）配置される。

15 直列回路 C0 ~ C63 は、一端が対応する基準電圧 V0A ~ V63A に接続され、他端がコラム線に接続され、これにより水平駆動回路 20 B においても、階調データ DG に基づいて、各階調に対応する基準電圧 V0A ~ V63A を対応する直列回路 C0 ~ C63 により選択して画素の階調を設定するようになされている。直列回路 C0 ~ C63 は、コラム線を間に挟んで、水平方向に並ぶように 1  
20 対の直列回路 C0 及び C1、……、C62 及び C63 が配置され、各 1 対の直列回路 C0 及び C1、……、C62 及び C63 によるユニットが、コラム線の延長方向に並んで画素に対応するブロック B を形成するようになされている。この実施例においては、この横方向に並ぶ 1 対の直列回路が、隣接する基準電圧を選択する直列回路に設定される。

25 これによりこの実施例において、水平駆動回路 20 B は、6 ビットによる階調データ DG による 64 階調の駆動信号を出力するにも係わらず、5 ビットによる階調データ DR、DB を処理する水平駆動回路 20 A のデジタルアナログ変換回路 20 AD と同様に、コモン線の延長方向については、32 個の直列回路が並ぶように形成され、これによりこの実施例では、表示部 14 の下側についても狭額

縁化し得るようになされている。

### (1-2) 第1の実施例の動作

以上の構成において、この携帯端末装置では（第5図）、ホームページをアクセスして取得した画像に係る画像データ、撮像手段を介して取得した画像データ等が画像処理回路12に内蔵の画像メモリに保持され、この画像メモリに保持された画像データが液晶表示装置13に同期信号等と共に入力される。このとき画像データは、緑色の画像データDGが6ビットにより取得されて画像メモリに保持された後、出力されるのに対し、赤色及び青色の画像データDR、DBが5ビットにより取得されて画像メモリに保持された後、出力され、これによりこの携帯端末装置では、画像データの表示に十分な階調に対応するビット数により処理して、この画像データの処理に係る一連の処理系の構成を簡略化し得るようになされている。

このようにして入力される画像データDR、DG、DBは、水平駆動回路20により各画素の階調に対応する駆動信号に変換されて表示部14に出力され、垂直駆動回路18によるラインの選択により、この駆動信号が対応するラインの画素に供給され、これによりこの画像データDR、DG、DBにより画像が表示部14で表示される。

このようにして画像データDR、DG、DBにより階調を設定するにつき、画像データDR、DG、DBのうち、5ビットによる赤色及び青色の画像データDR及びDBは（第6図）、表示部14の上側に沿って配置された水平駆動回路20Aによりまとめて処理されて対応する画素の駆動信号が生成されるのに対し、残る6ビットによる緑色の画像データDGにおいては、表示部の上側に沿って配置された水平駆動回路20Bによりまとめて処理されて対応する画素の駆動信号が生成される。これにより液晶表示装置13においては、表示部14の上側の水平駆動回路20Aを5ビットに対応するように構成し得、その分、無駄な構成を省略して消費電力を低減し、狭額縁化することができる（第7図）。

すなわち例えればデジタルアナログ変換回路20ADにおいては、階調を指示する階調データである画像データの各ビットの論理値によりそれぞれオンオフ動作するスイッチ回路の直列回路を、階調に対応して複数個配置し、階調データに

基づいて、各階調に対応する基準電圧を対応する直列回路により選択して画素の階調を設定するようにして、この直列回路を、表示部 14 の上側一辺と直交する方向に並んで配置して 1 つの画素に対応するブロック B を形成し、このブロック B を先の一辺に沿った方向に並んで配置するようにして、ブロック B を構成する 5 直列回路の数を従来の 1/2 にし得、これにより狭額縁化することができる。

これに対して下側に配置した 6 ビットの処理系である緑色用の水平駆動回路 20 Bにおいては、上側の水平駆動回路 20 A が赤色及び青色による 2 系統の画像データ D R、D B を処理するのに対し、緑色による 1 系統の画像データ D G を処理することから、水平方向に余裕が生まれる。これによりこの実施例では、第 8 10 図に示すように、デジタルアナログ変換回路 20 BDにおいて、階調データに基づいて対応する基準電圧を選択する直列回路を、水平方向に並んで配置して 1 対の直列回路によるユニットを形成し、このユニットをコラム線の延長方向に並んで配置して 1 つの画素に対応するブロック B が形成し、このブロック B を水平方向に並んで配置するようになされ、これによりこの水平駆動回路 20 B 側にお 15 いても、ブロックを構成する直列回路の段数を従来の 1/2 にして狭額縁化することができる。

### (1-3) 第 1 の実施例の効果

以上の構成によれば、表示部 14 の対向する辺の一方に沿って緑色用の水平駆動回路 20 B を配置し、他方に沿って赤色用及び緑色用の水平駆動回路 20 A を 20 配置することにより、各水平駆動回路 20 A、20 B を画像データのビット数に対応するように設定して無駄を省略し得、その分、従来に比して消費電力を少なくし、狭額縁化することができる。

すなわち緑色用の水平駆動回路 20 B により設定される階調数が、赤色用及び緑色用の水平駆動回路 20 A により設定される階調数より多くなるように設定する場合に、各水平駆動回路 20 A、20 B を画像データのビット数に対応するように設定して無駄を省略し、従来に比して消費電力を少なくし、狭額縁化することができる。

またこの緑色用の水平駆動回路 20 Bにおいて、基準電圧を選択するスイッチによる直列回路を水平方向に並べて 1 対の直列回路によるユニットを形成し、こ

のユニットをコラム線の延長方向に並んで配置して1つの画素に対応するプロックBを形成することにより、この緑色用の水平駆動回路20B側についても、狭額縫化することができる。

### 5 (2) 第2の実施例

第9図は、第6図との対比により本発明の第2の実施例に係る携帯端末装置に適用される液晶表示装置33を示す平面図である。この液晶表示装置33では、5ビットによる水平駆動回路20Aに近接して配置した基準電圧発生回路19Aにより、5ビットによる階調に対応する基準信号V0A～V31Aを生成して水平駆動回路20Aに供給する。また6ビットによる水平駆動回路20Bに近接して配置した基準電圧発生回路19Bにより、6ビットによる階調に対応する基準信号V0B～V63Bを生成して水平駆動回路20Bに供給する。なおこの実施例では、この基準信号の生成に係る基準電圧発生回路19A及び19Bの構成が異なる点を除いて、第1の実施例と同一に構成される。

15 この実施例によれば、それぞれ水平駆動回路20A及び20Bに近接して配置した基準電圧発生回路で基準電圧を生成することにより、この基準電圧の引回しに係る配線のスペースを省略することができ、横方向についても狭額縫化することができる。またそれぞれ水平駆動回路20A及び20Bにおいては、赤色、青色及び緑色による画素に対応することにより、このように専用の基準電圧発生回路を設けるようにして、基準電圧がばらついた場合でも、第1図について説明した奇数列、偶数列により分けて処理する場合のような縦縫等の発生を有効に回避することができる。

### (3) 他の実施例

25 なお上述の実施例においては、それぞれ6ビット及び5ビットによる画像データを処理して画像を表示する場合について述べたが、本発明はこれに限らず、種々のビット数により処理する場合に、広く適用することができる。なおこの場合に、青色、赤色でビット数が異なる場合でも広く適用することができる。

また上述の実施例においては、液晶セルによる画素を駆動する場合について述

べたが、本発明はこれに限らず、種々の表示手段により画素を構成するフラットディスプレイ装置に広く適用することができる。

上述のように本発明によれば、表示部の対向する辺の一方に沿って緑色用の階調設定回路を配置し、他方に沿って赤色用及び青色用の階調設定回路を配置することにより、従来に比して消費電力を少なくし、狭額縫化することができる。

#### 産業上の利用可能性

本発明は、フラットディスプレイ装置及び携帯端末装置に関し、例えば液晶表示装置、液晶表示装置を用いたPDA、携帯電話等に適用することができる。

## 請求の範囲

1. マトリックス状に画素を配置してなる表示部と、前記表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置において  
5、

前記表示部の一边に沿って、前記駆動回路のうちの、前記表示部の緑色の画素の階調を設定する第1の階調設定回路を配置し、

前記一边に対向する前記表示部の他辺に沿って、前記駆動回路のうちの、前記表示部の赤色及び青色の画素の階調を設定する第2の階調設定回路を配置した

10 ことを特徴とするフラットディスプレイ装置。

2. 前記第1の階調設定回路により設定される階調数が、前記第2の階調設定回路により設定される階調数より多い

ことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。

15

3. 前記第1の階調設定回路は、

前記基板上に近接して配置された第1の基準電圧発生回路で作成される第1の基準電圧を選択して前記画素の階調を設定し、

前記第2の階調設定回路は、

20 前記基板上に近接して配置された第2の基準電圧発生回路で作成される第2の基準電圧を選択して前記画素の階調を設定する

ことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。

4. 前記第1及び第2の階調設定回路は、

25 階調を指示する階調データの各ビットの論理値によりそれぞれオンオフ動作するスイッチ回路の直列回路が、階調に対応して複数個配置され、

前記階調データに基づいて、各階調に対応する基準電圧を対応する前記直列回路により選択して前記画素の階調を設定し、

前記第1の階調設定回路は、

前記直列回路の 2 つを前記一边に沿った方向に並んで配置した 1 対の直列回路によるユニットが、前記一边と直交する方向に並んで配置されて 1 つの前記画素に対応するブロックが形成され、

前記ブロックが前記一边に沿った方向に並んで配置され、

5 前記第 2 の階調設定回路は、

前記直列回路が、前記一边と直交する方向に並んで配置されて 1 つの前記画素に対応するブロックが形成され、

前記ブロックが前記一边に沿った方向に並んで配置された

ことを特徴とする請求の範囲第 1 項に記載のフラットディスプレイ装置。

10

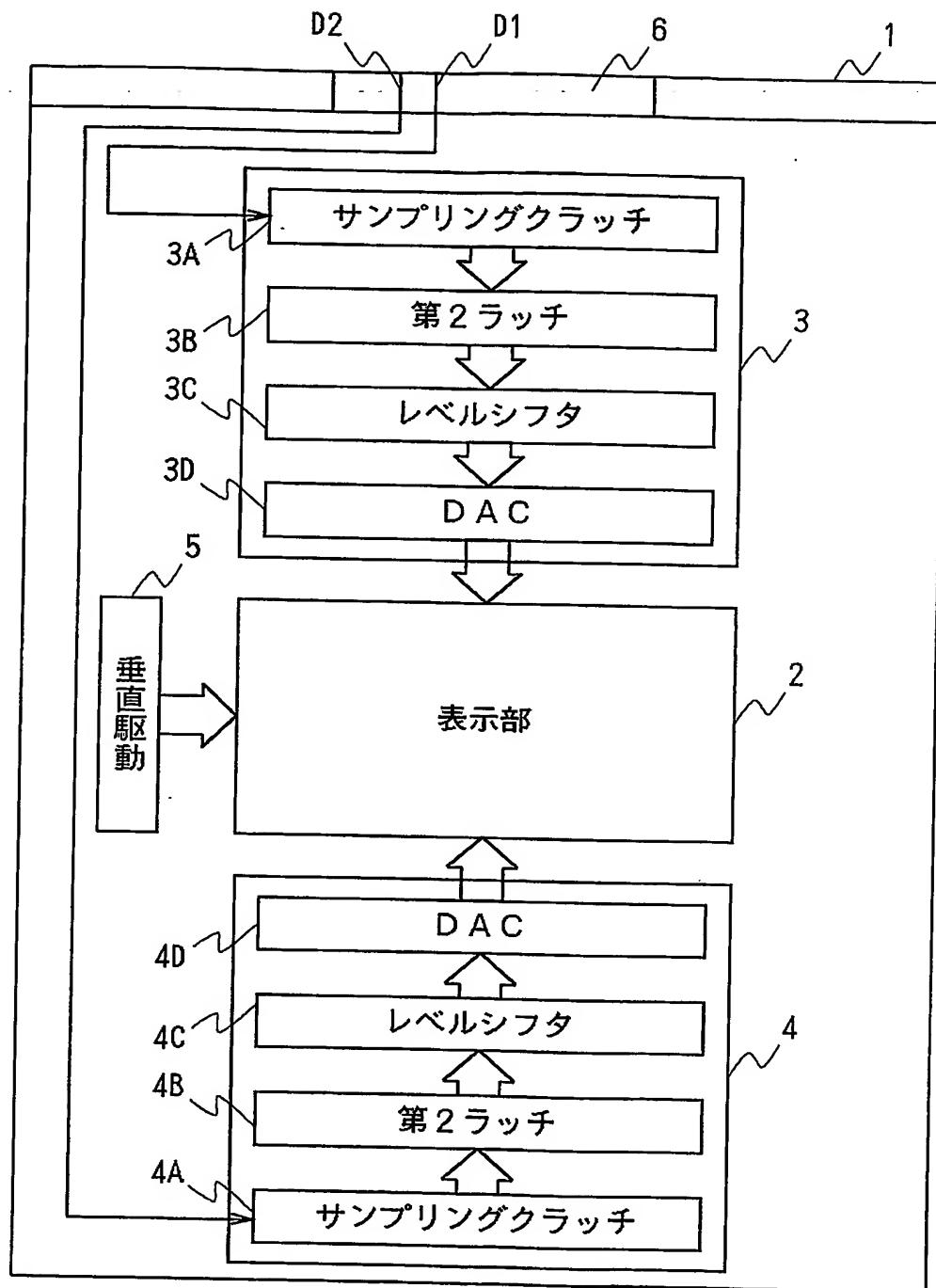
5. マトリックス状に画素を配置してなる表示部と、前記表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置により所望の画像を表示する携帯端末装置において、

前記フラットディスプレイ装置は、

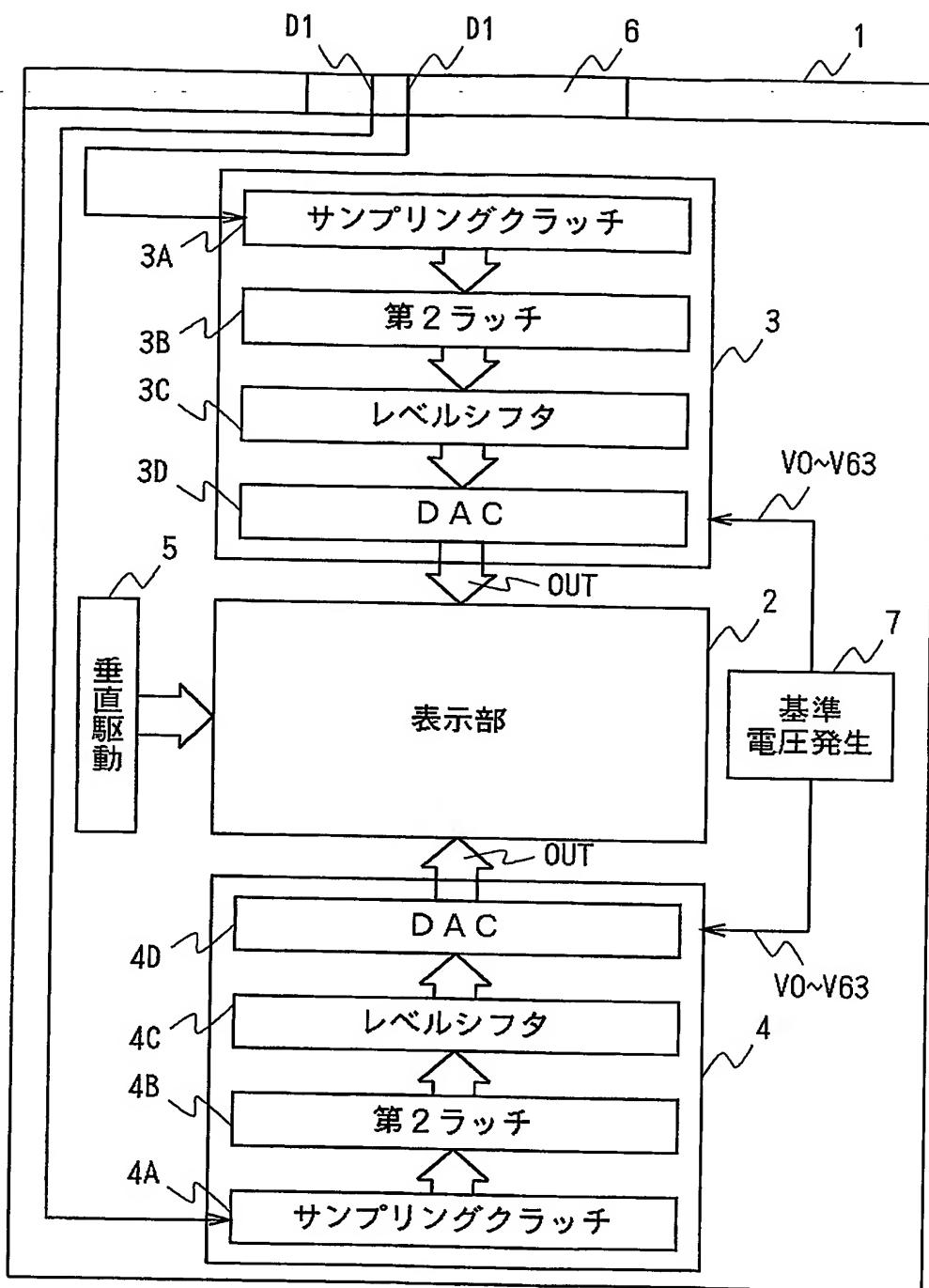
15 前記表示部の一边に沿って、前記駆動回路のうちの、前記表示部の緑色の画素の階調を設定する第 1 の階調設定回路を配置し、

前記一边に對向する前記表示部の他辺に沿って、前記駆動回路のうちの、前記表示部の赤色及び青色の画素の階調を設定する第 2 の階調設定回路を配置したことを特徴とする携帯端末装置。

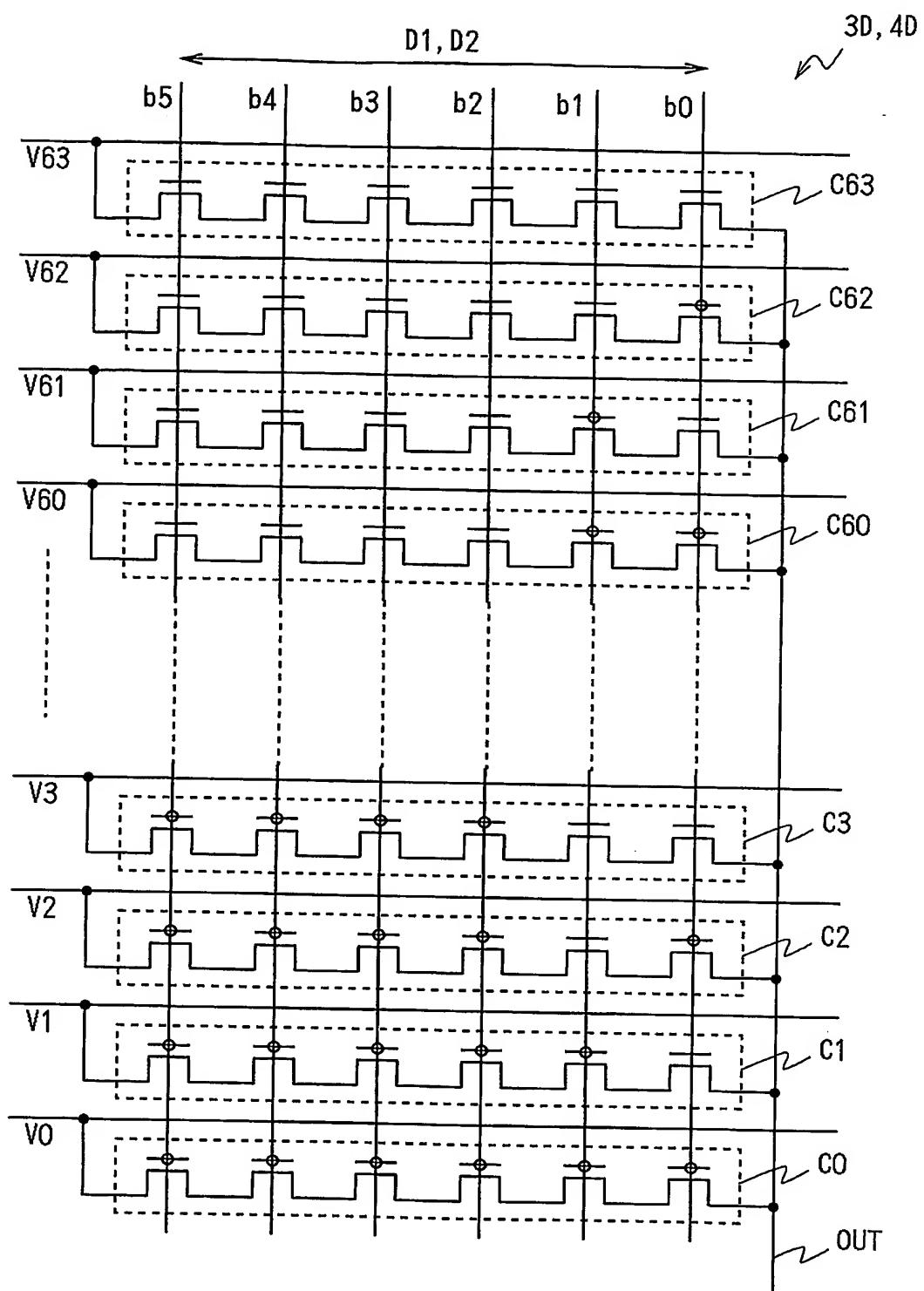
20



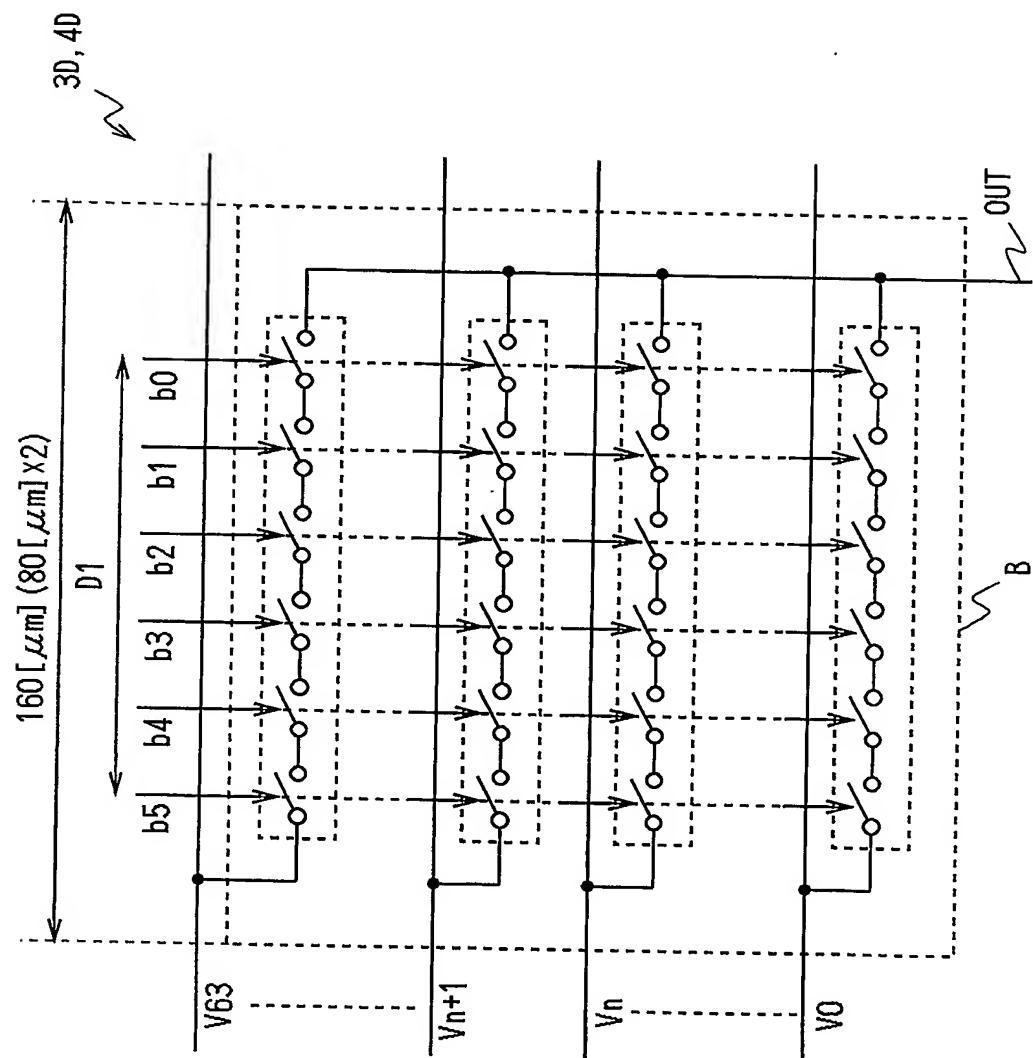
第1図



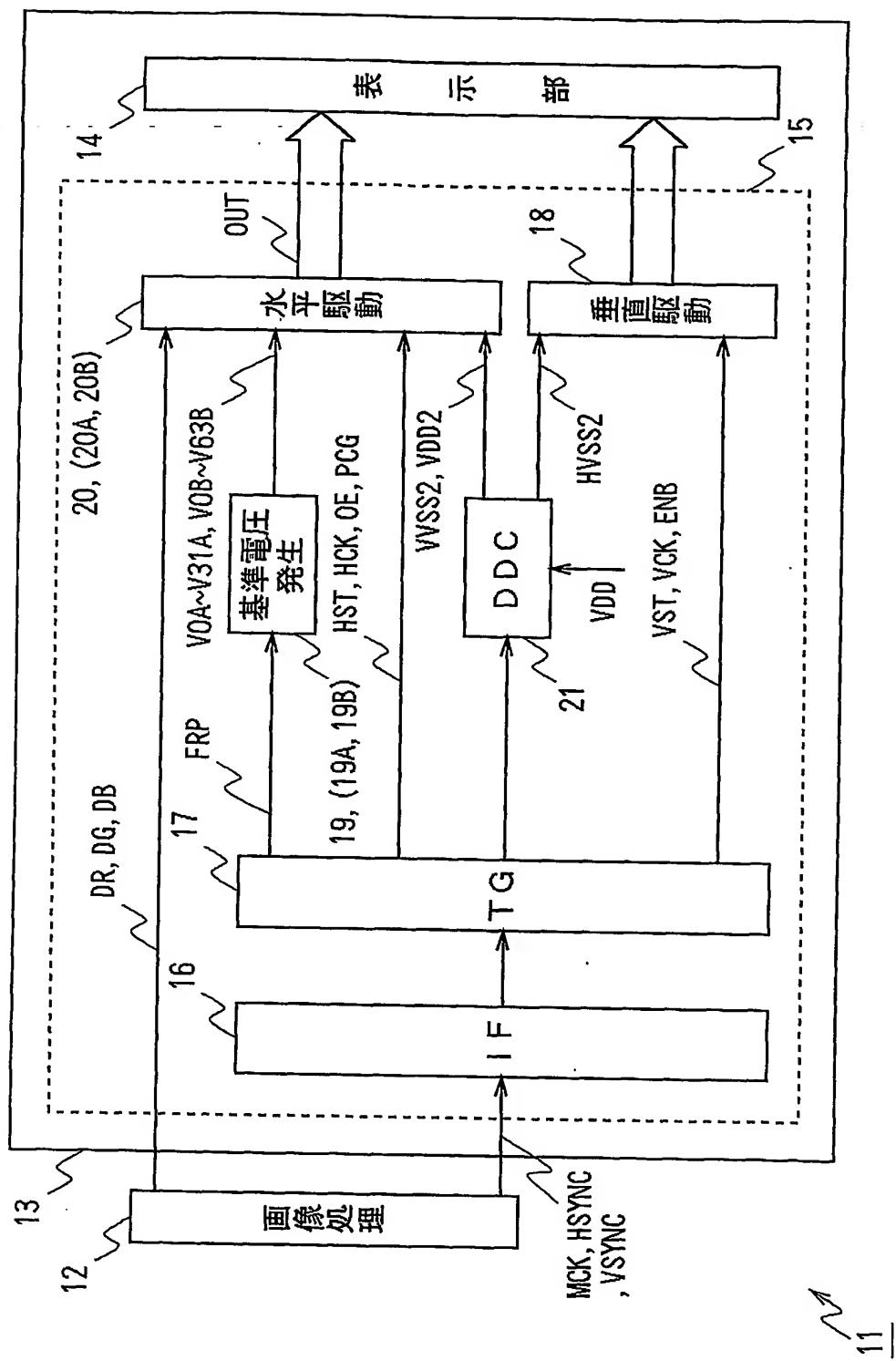
第2図



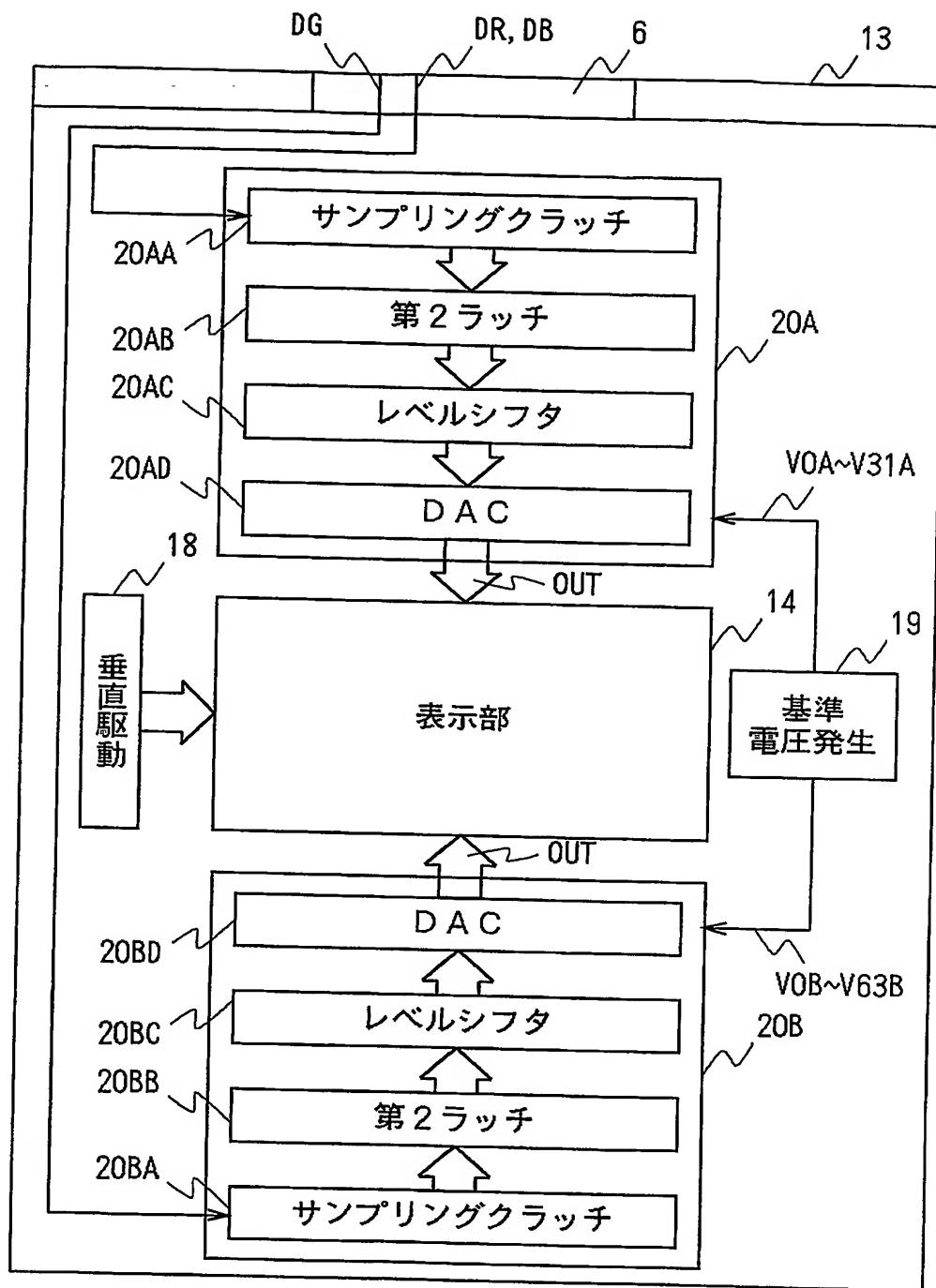
第3図



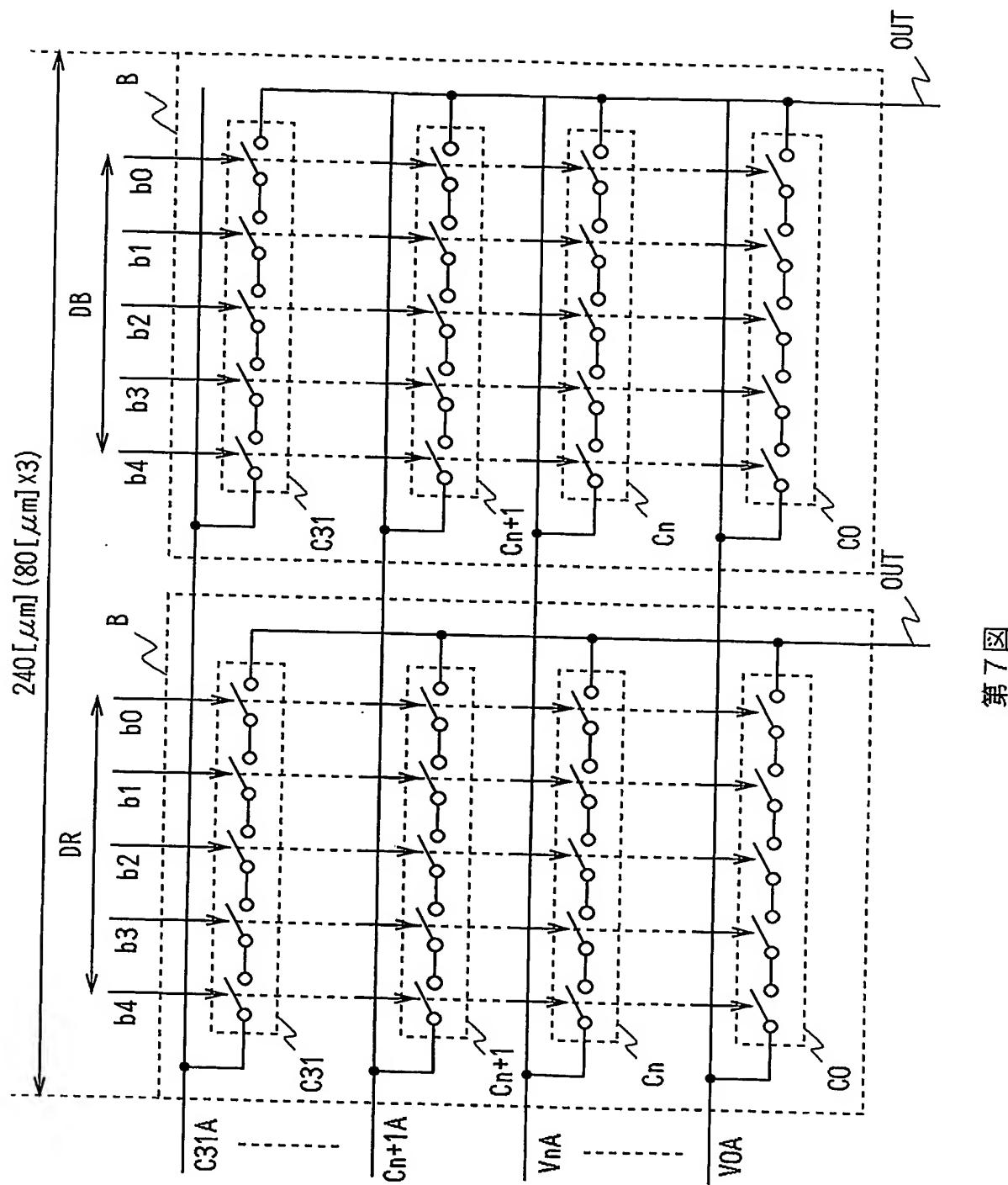
第4図



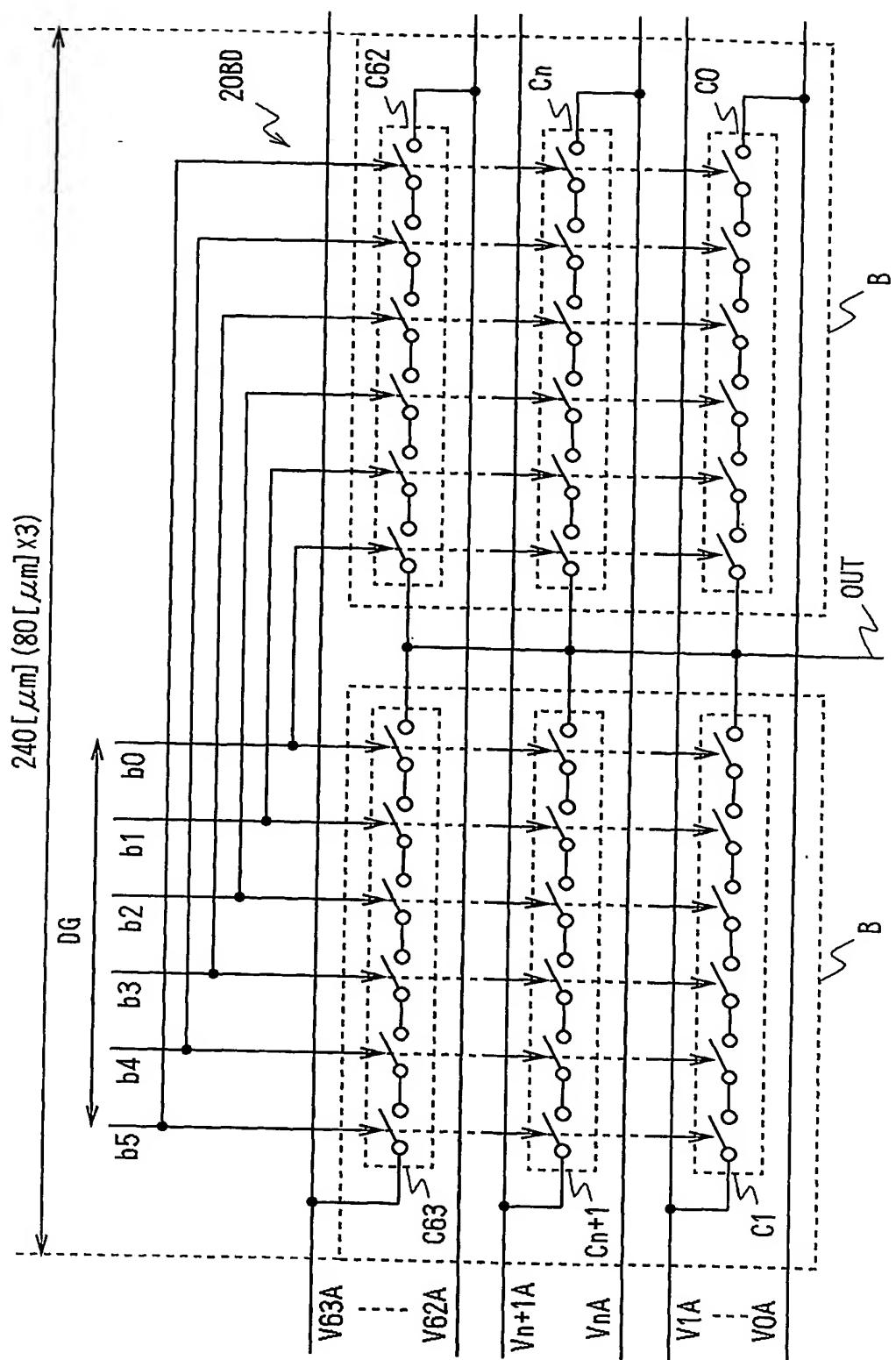
第5圖



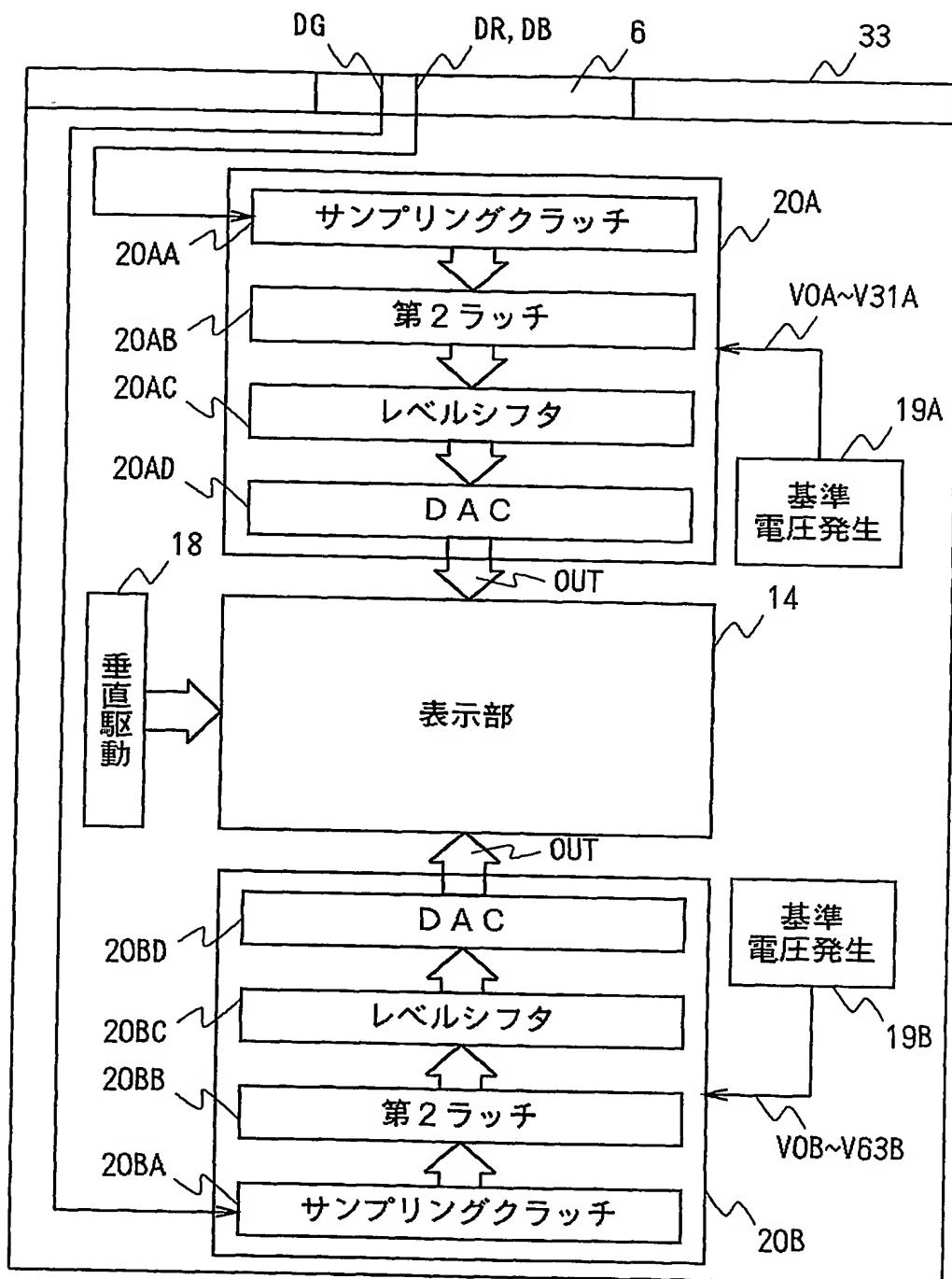
第6図



第7図



第8図



第9図

## 符号の説明

1、13、33……液晶表示装置、2、14……表示部、3、4、20、20A、20B……水平駆動回路、3A、4A、20A  
A、20B A……サンプリングラッチ、3B、4B、20AB、20BB……第2ラッチ、3C、4C、20AC、20BC……レベ  
ルシフタ、3D、4D、20AD、20BD……ディジタルアナロ  
グ変換回路、5、18……垂直駆動回路、6……入力部、7、1  
9、19A、19B……基準電圧発生回路、11……画像表示部、  
12……画像処理回路、15……駆動回路、16……インターフェ  
ース、17……タイミングジェネレータ、21、……DC-DCコ  
ンバータ、C0～C63……直列回路

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16864

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> G09G3/20

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-184813 A (Sharp Corp.), 16 July, 1996 (16.07.96), Par. Nos. [0048] to [0052]; Fig. 6 (Family: none)	1, 3-5
Y	JP 8-50273 A (Seiko Epson Corp.), 20 February, 1996 (20.02.96), Par. No. [0010]; Fig. 2 (Family: none)	1, 3-5
Y	JP 7-260857 A (Fujitsu Ltd.), 13 October, 1995 (13.10.95), Par. Nos. [0002] to [0004]; Fig. 11 (Family: none)	1, 3-5

Further documents are listed in the continuation of Box C.

See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
26 January, 2004 (26.01.04)

Date of mailing of the international search report  
10 February, 2004 (10.02.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/16864

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2001/28336 A1 (SEIJI YAMAGATA), 11 October, 2001 (11.10.01), Full text; all drawings & JP 2001-1290123 A & JP 2001-1290128 A & KR 2001-100763 A	1-5
A	US 2002/60656 A (NEC CORP.), 23 May, 2002 (23.05.02), Full text; all drawings & JP 2002-156948 A & KR 2002-39257 A	1-5

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl'G09G3/20

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl'G09G3/20, G09G3/36

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 8-184813 A (シャープ株式会社) 1996. 07. 16、段落番号48-52、図6 (ファミリー無し)	1, 3-5
Y	JP 8-50273 A (セイコーエプソン株式会社) 1996. 02. 20、段落番号10、図2 (ファミリー無し)	1, 3-5
Y	JP 7-260857 A (富士通株式会社) 1995. 10. 13、段落番号2-4、図11 (ファミリー無し)	1, 3-5

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

26. 01. 2004

## 国際調査報告の発送日

10. 2. 2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴野 幹夫

2G 8621

電話番号 03-3581-1101 内線 6489

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	US 2001/28336 A1 (SEIJI YAMAGATA) 2001.10.11、全文全図 & JP 2001-1290123 A & JP 2001- 1290128 A & KR 2001-100763 A	1-5
A	US 2002/60656 A (NEC CORP.) 2002.05.23、全文全図 & JP 2002-156948 A & KR 2002-3 9257 A	1-5